

M-5599 US  
9-8207

BEST AVAILABLE COPY

substantially equal to a semiconductor chip in a dimension  
in X and Y directions except in a direction of thickness.  
The resin-encapsulated semiconductor device in accordance  
with the present invention means a semiconductor device  
5 employing a lead frame among the defined CSP type  
semiconductor device.

In the CSP type semiconductor device described above,  
the terminal portions made of solder are formed on each of  
the terminal columns and is externally exposed from the  
encapsulating resin, but the terminal portions do not  
10 necessarily need to be protruded from the encapsulating  
resin. Moreover, if necessary, the outside face of each  
terminal column which is exposed externally from the  
encapsulating resin may be covered with a protective frame  
15 by means of an adhesive.

#### (FUNCTIONS)

The resin-encapsulated semiconductor device in  
accordance with the present invention can meet a demand for  
20 an increase in the number of terminals and has a  
miniaturized structure and thus an increased mounting  
efficiency. At this time, in the resin-encapsulated  
semiconductor device, as the removal process of the dam  
bars by press working or the forming process of the outer  
25 leads as in the case of using a mono-layered lead frame

shown in Fig. 11b is not required, there is no problem such as bending or coplanarity of the outer leads due to this process. More particularly, the use of a multipinned lead frame shaped in a manner that inner leads have a thickness smaller than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Moreover, as the resin-encapsulated semiconductor device is fabricated in such a manner that it is equal to that of a semiconductor chip in size, it can be miniaturized. In addition, each of the inner leads fabricated by a two-step etching process as shown Fig. 8 has a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead. Thus, the second surface of each inner lead is flat, and is excellent in wire-bonding property. Moreover, as the first surface of each inner lead is flat and the third and fourth surfaces of the inner leads each have a concave shape depressed toward the inside of the inner

(19) 日本国特許庁 (J P)

(11) 公開特許公報 (A)

(13) 特許公開公報番号

特開平 9 - 8 2 0 7

(43) 公開日 平成 9 年 (1997) 1 月 10 日

(51) Int. Cl. <sup>6</sup>	発明記号	庁内登録番号	F I	技術表示部所
H01L 23/50			H01L 23/50	1
21/60	301		21/60	2
23/28			23/28	A

特許請求 発明 請求項の数 6 F D (全 15 頁)

(21) 出願番号 特願平 7 - 176898  
(22) 出願日 平成 7 年 (1995) 6 月 21 日

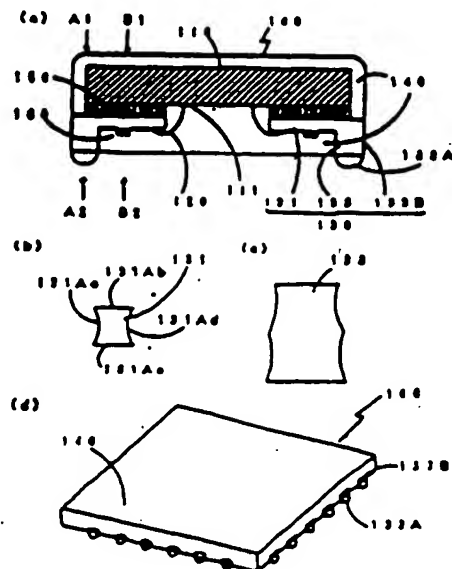
(71) 出願人 000002897  
大日本印刷株式会社  
東京都新宿区市谷加賀町一丁目 1 番 1 号  
(72) 発明者 山田 隆一  
東京都新宿区市谷加賀町一丁目 1 番 1 号  
大日本印刷株式会社内  
(73) 発明者 佐々木 賢  
東京都新宿区市谷加賀町一丁目 1 番 1 号  
大日本印刷株式会社内  
(74) 代理人 弁護士 小田 隆典

(54) 【発明の名称】 密着防止型半導体装置

(57) 【要約】

【目的】 リードフレームを用いた密着防止型半導体装置であって、多端子化に対応して実装性の良いものを提供すること。

【構成】 2 段エッチング加工によりインターリード部の厚さがリードフレーム材料の厚さよりも厚肉に外部加工されたリードフレームを用い、且つ、外部寸法をほぼ半導体素子に合わせた、密着防止用部により密着防止した CSP (Chip Side Package) 型の半導体装置であって、前記リードフレームは、前肉のインターリード部と、該インターリード部に対し、インターリード部の外部側の端部においてインターリードに直交する方向で、半導体素子密着部と反対側に一体的に突出した、外部端子と接続するための端子柱を有するもので、該端子柱の外部側の面に半導体からなる端子部を設け、端子部を密着防止部から突出させている。



## 【特許請求の範囲】

【請求項 1】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外周寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外周部材とを有するものの形状の端子柱とを有し、且つ、端子柱はインターリードの外周部においてインターリードに対して厚み方向に直立し、かつ半導体素子搭載部と反対側に設けられており、端子柱の先端部に平坦部からなる端子部を設け、端子部を封止用樹脂部から露出させて、端子柱の外周部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部を有する面にて、インターリード部に絶縁性材料を介して搭載されており、半導体素子の電極部はインターリード部に設けられ、半導体素子搭載部とは反対側のインターリード先端部とワイヤにて電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項 2】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外周寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外周部材とを有するものの形状の端子柱とを有し、且つ、端子柱はインターリードの外周部においてインターリードに対して厚み方向に直立し、かつ半導体素子搭載部と反対側に設けられており、端子柱の先端の一部を封止用樹脂部から露出させて端子部とし、端子柱の外周部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部を有する面にて、インターリード部に絶縁性材料を介して搭載されており、半導体素子の電極部はインターリード部に設けられ、半導体素子搭載部とは反対側のインターリード先端部とワイヤにて電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項 3】 請求項 1 ないし 2 において、リードフレームはダイパッドを有しており、半導体素子はその電極部をインターリード部とダイパッド部との間に設けていることを特徴とする樹脂封止型半導体装置。

【請求項 4】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外周寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材

よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外周部材とを有するものの形状の端子柱とを有し、且つ、端子柱はインターリードの外周部においてインターリードに対して厚み方向に直立し、かつ半導体素子搭載部と反対側に設けられており、端子柱の先端部に平坦部からなる端子部を設け、端子部を封止用樹脂部から露出させて、端子柱の外周部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたパンプを介してインターリード部に搭載され、半導体素子とインターリード部とが電気的に接続していることを特徴とする樹脂封止型半導体装置。

【請求項 5】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外周寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外周部材とを有するものの形状の端子柱とを有し、且つ、端子柱はインターリードの外周部においてインターリードに対して厚み方向に直立し、かつ半導体素子搭載部と反対側に設けられており、端子柱の先端の一部を封止用樹脂部から露出させて端子部とし、端子柱の外周部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたパンプを介してインターリード部に搭載され、半導体素子とインターリード部とが電気的に接続していることを特徴とする樹脂封止型半導体装置。

【請求項 6】 請求項 1 ないし 5 において、インターリードは、前記端子柱が四方等分第 1 部、第 2 部、第 3 部、第 4 部の 4 部を有しており、かつ第 1 部はリードフレーム素材と同じ厚さの他の部分の一方の部と同一平面上にあって第 2 部に向を合っており、第 3 部、第 4 部はインターリードの内側に向を合っており凹んだ形状に形成されていることを特徴とする樹脂封止型半導体装置。

## 【発明の詳細な説明】

【0001】

【従来の技術分野】 本発明は、半導体装置の多端子化に対応して、且つ、実装性の良い小型化が可能な樹脂封止型半導体装置に関するもので、特に、エッチング加工により、インターリード部をリードフレーム素材の厚さよりも薄肉に形成加工したリードフレームを用いた樹脂封止型半導体装置に関する。

【0002】

【従来の技術】 従来より用いられている樹脂封止型の半導体装置（プラスチックスリードフレームパッケージ）は、一般に図 1 (a) に示されるような構造であり、半導体素子 1120 を搭載するダイパッド部 1111 1112

第四の図面との電気的接続を行うためのアウターリード部1113、アウターリード部1113に一体となったインナーリード部1112、インナーリード部1112の先端部と半導体素子1120の電極パッド1121とを電気的に接続するためのワイヤ1130、半導体素子1120を封止して外界からの応力、汚染から守る樹脂1140等からなっており、半導体素子1120をリードフレームのダイパッド1111部等に搭載した後に、樹脂1140により封止してパッケージとしたもので、半導体素子1120の電極パッド1121に対応できる数のインナーリード1112を必要とするものである。そして、このような樹脂封止型の半導体装置の製造材料として用いられる（本発明）リードフレームは、一般には図11(b)に示すような構造のもので、半導体素子を搭載するためのダイパッド1111と、ダイパッド1111の周囲に設けられた半導体素子と接続するためのインナーリード1112、アウターリード1113に連続して外部回路との接続を行うためのアウターリード1113、樹脂封止する際のゲムとなるゲムバー1114、リードフレーム1110全体を支持する（図10(d))部1115等を含んでおり、通常、コパル、42合金(42%ニッケル-合金)、銅系合金のような導電性に優れた合金を用い、プレスもしくはエッチング法により形成されている。

【0003】このようなリードフレームを利用した樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子回路の電線微小化の増進と半導体素子の高集積化に伴い、小型高密度かつ電極素子の増大が顕著で、その結果、樹脂封止型半導体装置、特にQFP(Quad Flat Package)及びTQFP(Thin Quad Flat Package)等では、リードの多ピン化が著しくなってきた。上記の半導体装置に用いられるリードフレームは、従来ものはフォトリソグラフィ技術を用いたエッチング加工方法により作製され、異種でないものはプレスによる加工方法による作製されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端の微細化が進み、最初は、異種なものに対しては、プレスによる精密加工によらず、リードフレーム部材の板厚が0.25mm程度のものを用い、エッチング加工で対応してきた。このエッチング加工方法の工程について以下、図10に基づいて説明に述べておく。まず、銅合金もしくは42%ニッケル-合金からなる厚さ0.25mm程度の銅箔（リードフレーム部材1010）を十分に焼（図10(a)）した後、厚さ0.05mmのカリウムを被覆膜とした水溶性セインレジスト膜のフォトレジスト1020を銅箔の両面に均一に塗布する。（図10(b)）

次いで、所定のパターンが形成されたマスクを介して蒸着法でレジスト膜を被覆した後、所定の露光装置で

露光レジストを露光して（図10(c)）、レジストパターン1030を形成し、露光装置、洗浄装置等を必要に応じて付し、塩化銅二酸水溶液を主たる成分とするエッチング液にて、スプレーにて銅箔（リードフレーム部材1010）に穴を付け所定の形状にエッチングし、露光させる。（図10(d)）

次いで、レジスト膜を被覆処理（図10(e)）、洗浄後、所定のリードフレームを保持、エッチング加工工程を終了する。このように、エッチング加工等によって作製されたリードフレームは、更に、所定のエリアに銅メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を所定の位置に付着させ、ポリイミドテープにてタービュレーションしたり、必要に応じて所定のスタブリードバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による腐蝕は加工後の板厚方向のみに腐蝕（面）方向にも進んだため、その腐蝕加工にも腐蝕があるのが一般的で、図10に示すように、リードフレーム部材の両面からエッチングするため、ラインアンドスペース形状の場合、ライン間の加工深度は、板厚の50~100%程度とされている。又、リードフレームの加工後のアウターリードの腐蝕を考えた場合、一般的には、その板厚は約0.125mm以上必要とされている。このため、図10に示すようなエッチング加工方法の場合、リードフレームの板厚を0.15mm~0.125mm程度まで薄くすることにより、ワイヤボンディングのための必要な厚さ70~80μm程度、0.165mmピッチ程度の微細なインナーリード部先端のエッチングによる加工を達成してきたが、これが限界とされていた。

【0004】しかしながら、近年、樹脂封止型半導体装置は、パッケージでは、電極端子であるインナーリードのピッチが0.165mmピッチを越え、既に0.15~0.13mmピッチまでの微細ピッチ化要求が出てきた事と、エッチング加工において、リード部材の板厚を用いた場合には、アセンブリ工程や実装工程といった後工程におけるアウターリードの腐蝕腐食が顕著という点から、先にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【0005】これに対応する方法として、アウターリードの腐蝕を抑制したまま微細化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程における腐蝕が不足する（例えば、のりエリアの平滑性）、ボンディング、モールドイング時のクラックに必要なインナーリードの平滑性、平滑性が確保されない、腐蝕を3段階にわたるならぬい等製造工程が複雑になる、歩留率点が多くなる、そして、インナーリード部分をハーフエッチングにより薄く

してエッチング加工を行う方法の場合にも、問題を発生する恐れがある。従って、本発明は、上述の問題を解決するものである。

(0006)

【発明が解決しようとする課題】一方、電子機器の小型化の要求に伴い、半導体パッケージにおいても、小型で高信頼性が求められるようになってきて、外部寸法をほぼ半導体素子に合わせて、封止用樹脂により封止した CSP (Chip Size Package) と呼ばれるパッケージが要求されるようになってきた。CSP を使う意思を以下に簡単に述べる。

①第一にピン数が同じなら、QFP (Quad Flat Pack) や PGA (Pin Grid Array) に比べ高信頼性を確保しやすくできる。

②第二に、パッケージ寸法が同じなら QFP や PGA よりもピン数を多くとれる。QFP については、パッケージ寸法とピンの反りを考え、実用的に使える寸法は最大 40mm 角であり、アウターリードピッチが 0.5mm ピッチの QFP では 304 ピンが限界となる。どうにピン数を増やすためには、0.4mm ピッチや 0.3mm ピッチが必要となるが、この場合には、ユーザが最良の設計を行う必要がある。一般には QFP の設計に関してはアウターリードピッチが 0.3mm ピッチ以下ではコストを上げずに製造するのは困難とされている。PGA は、上記 QFP の限界を打破するものとして注目される。PGA の場合、外部端子を二次元アレイ状にし、外部端子ピッチを広くすることで高信頼性を確保しようとするものである。PGA の場合、外部端子が 300 ピンを超える領域でも、従来の一辺リフロー・ハンダ付けでは 30mm×40mm 角になると、基板サイズによって外部端子のハンダ・パンプにクラックが入るため、600 ピン〜700 ピン、最大でも 1000 ピンが実用の限界と一般には言われている。外部端子をパッケージ裏面に二次元アレイに配した CSP の場合には、PGA のコンセプトを拡張し、かつ、アレイ状の端子ピッチを増やすことが可能となる。また、PGA 同様、一辺リフロー・ハンダ付けが可能である。

③第三に、QFP や PGA に比べるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝送遅延時間が短くなる。LSI クロック周波数が 100MHz を超えるようになると、QFP ではパッケージ内の配線が問題になってしまう。内部配線長を短くした CSP の方が有利である。しかしながら、CSP は高信頼性には優れるものの、多端子化に対しては、端子のピッチをどうに狭くすることが必要で、この点での限界がある。本発明は、このような状況のもと、リードフレームを用いた新封止型半導体素子において、多端子化に対応し、かつ、一層の小型化に対応できる半導体素子を提供

しようとするものである。

(0007)

【課題を解決するための手段】本発明の新封止型半導体素子は、2 次元エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも厚肉に外形加工されたリードフレームを用い、外部寸法をほぼ半導体素子に合わせて封止用樹脂により封止した CSP (Chip Size Package) 型の半導体素子であって、前記リードフレームは、リードフレームより厚肉のインナーリードと、該インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外周部とを有する。また、前記インナーリードに対して厚み方向に屈曲し、かつ半導体素子搭載面と反対側に設けられており、端子柱の先端部から突出させて、端子柱の外周部の断面を封止用樹脂から突出させて、半導体素子は、半導体素子の電極部（パッド）を有する面に、インナーリード部に絶縁性材料を介して搭載されており、半導体素子の電極部（パッド）はインナーリード部に設けられ、半導体素子搭載面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。また、本発明の新封止型半導体素子は、2 次元エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも厚肉に外形加工されたリードフレームを用い、外部寸法をほぼ半導体素子に合わせて封止用樹脂により封止した CSP (Chip Size Package) 型の半導体素子であって、前記リードフレームは、リードフレームより厚肉のインナーリードと、該インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外周部とを有する。また、前記インナーリードに対して厚み方向に屈曲し、かつ半導体素子搭載面と反対側に設けられており、端子柱の先端部を封止用樹脂から突出させて端子柱とし、端子柱の外周部の断面を封止用樹脂から突出させて、半導体素子は、半導体素子の電極部（パッド）を有する面に、インナーリード部に絶縁性材料を介して搭載されており、半導体素子の電極部（パッド）はインナーリード部に設けられ、半導体素子搭載面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。そして上記において、前記第 1 ないし 2 において、リードフレームはダイパッドを有しており、半導体素子はその電極部（パッド）をインナーリード部とダイパッド部との間に設けていることを特徴とするものである。また、本発明の新封止型半導体素子は、2 次元エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも厚肉に外形加工されたリードフレームを用い、外部寸法をほぼ半導体素子に合わせて

封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であつて、前記リードフレームは、リードフレーム素材よりも厚肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外装樹脂とを積層するための仕様の端子柱とを有し、且つ、端子柱はインターリードの外装樹脂においてインターリードに対して厚み方向に直立し、かつ半導体端子形成面と反対側に設けられており、端子柱の先端部に半田等からなる端子部を設け、端子部を封止用樹脂から露出させて、端子柱の外装樹脂の側面を封止用樹脂から露出させており、半導体端子は、半導体端子の一面に設けられたパンプを介してインターリード部に露出され、半導体端子とインターリード部とが電気的に接続していることを特徴とするものである。また、本発明の樹脂封止型半導体装置は、2 段エッチング加工によりインターリードの部をがリードフレーム素材の部よりも厚肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体端子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であつて、前記リードフレームは、リードフレーム素材よりも厚肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外装樹脂とを積層するための仕様の端子柱とを有し、且つ、端子柱はインターリードの外装樹脂においてインターリードに対して厚み方向に直立し、かつ半導体端子形成面と反対側に設けられており、端子柱の先端の一面を封止用樹脂から露出させて端子部とし、端子柱の外装樹脂の側面を封止用樹脂から露出させており、半導体端子は、半導体端子の一面に設けられたパンプを介してインターリード部に露出され、半導体端子とインターリード部とが電気的に接続していることを特徴とするものである。そして上記において、インターリードは、断面形状が略方形で第 1 面、第 2 面、第 3 面、第 4 面の 4 面を有しており、かつ第 1 面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第 2 面に向を合っており、第 3 面、第 4 面はインターリードの内側に向かって凹んだ形状に形成されていることを特徴とするものである。尚、ここでは、CSP (Chip Size Package) 型の半導体装置とは、半導体端子の厚み方向を除いた、X、Y 方向の外形寸法にはほぼ近い形で封止用樹脂により樹脂封止した半導体装置の総称を言っており、本発明の半導体装置は、その中でもリードフレームを用いたものである。また、上記において、端子柱の先端部に半田等からなる端子部を設け、端子部を封止用樹脂から露出させる場合、半導体からなる端子部は封止用樹脂から露出したものが一般的であるが、必ずしも露出する必要はない。また、必要に応じて、封止用樹脂から露出された端子柱の外装樹脂の側面部分を半導体等を介して露出させてもよい。

[0008]

〔作用〕本発明の樹脂封止型半導体装置は、上記のように構成することにより、リードフレームを用いた樹脂封止型半導体装置において、多層化に対応でき、且つ、実装性の高い小型の半導体装置の提供を可能とするものであり、同時に、図 1 (b) に示す厚肉リードフレームを用いた場合のように、ダムバーのプレスによる除装工程や、アフターリードのフォーミング工程を必要としないため、これらの工程に起因して発生していたアフターリードのスキューの問題やアフターリードの半導体 (コープラナリティー) の問題を全く無くすることができ半導体装置の提供を可能とするものである。詳しくは、2 段エッチング加工によりインターリード部の部をが素材の部よりも厚肉に外形加工された、即ち、インターリードを樹脂に加工された多ピン型のリードフレームを用いていることにより、半導体装置の多層化に対応できるものとしており、且つ、外形寸法をほぼ半導体端子に合わせて、封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置としていることにより、小型化して作製することを可能としている。更に、前述する、図 8 に示す 2 段エッチングにより作製された、インターリードは、断面形状が略方形で第 1 面、第 2 面、第 3 面、第 4 面の 4 面を有しており、かつ第 1 面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第 2 面に向を合っており、第 3 面、第 4 面はインターリードの内側に向かって凹んだ形状に形成されていることにより、インターリード部の第 2 面は平坦性を確保でき、ワイヤボンディング性の高いものとしている。また第 1 面も平坦面で、第 3 面、第 4 面はインターリード側に凹みであるためインターリード部は、安定しており、且つ、ワイヤボンディングの平坦性を広くとれる。

[0009] また、本発明の樹脂封止型半導体装置は、半導体端子が、半導体端子の一面に設けられたパンプを介してインターリード部に露出され、半導体端子とインターリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一層したボンディングを可能としている。

[0010]

〔実施例〕本発明の樹脂封止型半導体装置の実施例を図 1 にて説明する。先ず、実施例 1 を図 1 に示し、説明する。図 1 (a) は実施例 1 の樹脂封止型半導体装置の断面図であり、図 1 (b) (イ) は図 1 (a) の A1-A2 におけるインターリード部の断面図で、図 1 (b) (ロ) は図 1 (a) の B1-B2 における端子柱部の断面図である。図 1 中、100 は半導体装置、110 は半導体端子、111 は電極部 (パッド)、120 はワイヤ、130 はリードフレーム、131 はインターリード、131Aa は第 1 面、131Ab は第 2 面、131Ac は第 3 面、131Ad は第 4 面、133 は端子柱、

(1001) 次に石英系例1の樹脂防止型半導体装置の製造方法を図5に基づいて簡単に説明する。先ず、前述するエッチング加工にて作製され、不揮の部分にカッティング処理等で行なわれたものとき、インソーリット処理は図4で図5で上になるようにして実施した。尚、インソーリット131度の最長が良い場合には、必要に応じて、インソーリットの先頭部がポリイソドテープによるテーピング固定されているものを用いる。次いで半導体素子110の電極部111側面を図5で下にして、インソーリット131内に納め、地盤部を材150を介してインソーリット131に所定固定した。(図5)

ないで、過去の行止用紙140で道路行止を行った。  
(図5(c))

この時、切断されるリードフレームのラインには、切断がしきいように、切り欠きを空けておくこと。特に、これらの切り欠きをエッチング時に、磨きで加工しておけば手間が省ける。図6に示すリードフレーム110のダムバー136、フレーム部137等が切断される。この後、リードフレームの電子部材の外面の面に半田からなる電子部材133Aを作製して半田抵抗層を作製した。(図6(e))

(0012) 本発明のギヤ本装置に用いられるリードフレームの製造方法を、図に於て説明する。図8は、本装置例1の製造防止型ギヤ本装置に用いられるリードフレームの製造方法を説明するための、インターリード片部を含む図面に於ける中心線断面であり、ここで作製されるリードフレームを示す断面図である。図8のD1-D2線の断面図における製造工程である。図8中、810はリードフレーム部、820A、820Bはレジストパターン、830は第一の開口部、840は第二の開口部、850は第一の凹部、860はこの凹部、870はギヤ部、880はニッキング層、891Aはインターリード片部、891Aaは

86 (c) (1) (E) - E21: プレ2: 7月8日 10

インターリードの第2面を示す。先ず、42セーラー合金からなり、厚みが0.15mmのリードフレーム素材810の両面に、厚クロム酸カリウムを感光剤とした水溶性カゼインレジストを塗布した後、所定のパターンを用いて、所定形状の第一の開口部830、第二の開口部840をもつレジストパターン820A、820Bを形成した。(図8(a))

第一の開口部830は、後のエッチング加工においてリードフレーム素材810をこの開口部からベタ状にリードフレーム素材よりも厚肉に露出するためのもので、レジストの第二の開口部840は、インターリード先端部の形状を形成するためのものである。第一の開口部830は、少なくともリードフレーム810のインターリード先端部形成領域を含むが、後工程において、テーピングの工程や、リードフレームを固定するクランプ工程で、ベタ状に露出された部分的に薄くなった部分との段差が形成になる場合があるので、エッチングを行うエリアはインターリード先端部の露出部分だけにせず大さの必要がある。本例で、厚さ57 $\mu$ m、比重4.8ボーマの塩化第二鉄溶液を用いて、スプレー圧2.5 $\text{kg}/\text{cm}^2$ にて、レジストパターンが形成されたリードフレーム素材810の両面をエッチングし、ベタ状(平地状)に露出された第一の凹部850の深さを $h$ がリードフレーム素材の約2/3程度に達した時点でエッチングを止めた。(図8(b))

上記第1面目のエッチングにおいては、リードフレーム素材810の両面から同時にエッチングを行ったが、必ずしも両面から同時にエッチングする必要はない。少なくとも、インターリード先端部形状を形成するための、所定形状の開口部をもつレジストパターン820Bが形成された面側から露出層によるエッチング加工を行い、露出されたインターリード先端部形成領域において、所定厚エッチング加工し止めることができる。本実施例のように、第1面目のエッチングにおいてリードフレーム素材810の両面から同時にエッチングする場合、両面からエッチングすることにより、従来する第2面目のエッチング時間を短縮するため、レジストパターン820B側からのみの片面エッチングの場合と比べ、第1面目エッチングと第2面目エッチングのトータル時間が短縮される。本例で、第一の開口部830側の露出された第一の凹部850にエッチング抵抗層880としての耐エッチング性のあるボットメルト型ワックス(ブ・インクテック社製の抵抗ワックス、型MR-WB6)を、ダイコートを用いて、塗布し、ベタ状(平地状)に露出された第一の凹部850に埋め込んだ。レジストパターン820B上にはエッチング抵抗層880に塗布された抵抗層とした。(図8(c))

エッチング抵抗層880を、レジストパターン820B上全面に塗布する必要はないが、第一の凹部850を含む一区域のみを塗布することは無しに、図8(c)に示

すように、第一の凹部850とともに、第一の開口部830側全面にエッチング抵抗層880を塗布した。本実施例で使用したエッチング抵抗層880は、アルカリ溶解型のワックスであるが、基本的にエッチング液に耐性があり、エッチング時にある程度の抵抗性のあるものが、好ましく、特に、上記ワックスに酸化されず、UV硬化型のものでも良い。このようにエッチング抵抗層880をインターリード先端部の形状を形成するためのパターンが形成された面側の露出された第一の凹部850に埋め込むことにより、後工程でのエッチング時に第一の凹部850が露出されて大さくならないようにしているとともに、高抵抗なエッチング加工に対して機械的な抵抗層を設け、スプレー圧を高く(2.5 $\text{kg}/\text{cm}^2$ 以上)とすることができ、これによりエッチングが露出方向に進行しやすくなる。これは、第2面目エッチングを行い、ベタ状(平地状)に露出された第一の凹部850を面側からリードフレーム素材810をエッチングし、貫通させ、インターリード形成部890を形成した。(図8(d))

第1面目のエッチング加工にて作製された、リードフレーム面に平行なエッチング形成面は平地であるが、この面を覆う2面はインターリード側へこんだ凹状である。本例で、後述、エッチング抵抗層880の除去、レジスト膜(レジストパターン820A、820B)の除去を行い、インターリード先端部890が露出加工された図8(e)に示すリードフレームを得た。エッチング抵抗層880とレジスト膜(レジストパターン820A、820B)の除去は水溶性ナトリウム水溶液により露出させた。

(0013) 本例、上記のように、エッチングを2段階にわけて行うエッチング加工方法を、一般には2段階エッチング加工方法と称しており、特に、露出加工に有利な加工方法である。本発明に用いた図8(a)、図8(b)に示す、リードフレーム130の両面においては、2段階エッチング加工方法と、パターン形状を工夫することにより部分的にリードフレーム素材を露くしながら露出加工する方法とは行われてはいる。上記の方法によるインターリード先端部131Aの露出加工は、第二の凹部860の形状と、最終的に得られるインターリード先端部の形状とに左右されるもので、例えば、抵抗層880を50 $\mu$ mまで薄くすると、図8(e)に示す、平地幅W1を100 $\mu$ mとして、インターリード先端部ピッチpが0.15mmまで露出加工可能となる。抵抗層880を30 $\mu$ m程度まで薄くし、平地幅W1を70 $\mu$ m程度とすると、インターリード先端部ピッチpが0.12mm程度まで露出加工ができるが、抵抗層880、平地幅W1のとり方次第ではインターリード先端部ピッチpは更に狭いピッチまで作製が可能となる。

(0014) このようにエッチング加工にて、インターリードの露出部分が広い場合、露出工程でインターリー

ドのヨレが発生しにくい場合には図6(a)に示す形状のリードフレームを用いる。インターリードの長さが実例1の場合に比べ長い場合にはインターリードにヨレが発生し易い。図6(c)(イ)に示すように、インターリード先端部から導線部131Bを延ばしてインターリード先端部同士を接合した形状にして形成したものをエッチング加工にて得る。この後、半導体装置には必要な導線部131Bをプレス等により切断して図6(a)に示す形状を得る。図7(a)、図7(b)に示すダイパッド235を有するリードフレーム230を形成する場合、図7(c)(イ)に示すように、インターリード231の先端に導線部231Bを延ばしてダイパッドと接合部がった形状にエッチングにより形成加工した後に、プレス等により切断しても良い。尚、図7(b)は図7(a)のC11-C21における断面図で、図7(c)中E11-E21は切断ラインを示している。そして、めっきした後に切断除去すると、めっきめっき方式でインターリードをつくる場合には、めっきの厚みがなく良い品質のリードフレームが得られる。尚、前述のように、図6(c)に示すものを切断し、図6(a)に示す形状にする際には、図6(c)(ロ)に示すように、通常、導線のための断線用テープ160(ポリイミドテープ)を使用する。図7(c)に示すものを切断する場合も同様である。図6(c)(ロ)の状態で、プレス等により導線部131Bを切断除去するが、半導体装置は、テープをつけた状態のまま、リードフレームに搭載され、そのまま封止される。

(0015) 本発明例1の半導体装置に用いられたリードフレームのインターリード先端部131Aの断面形状は、図9(イ)に示すようになっており、エッチング処理部131Aの幅W1は反対側の幅W2より若干大きくなっており、W1、W2(約100μm)としこの部分の距離を方向中部の幅Wよりも大きくしている。このようにインターリード先端部の断面は広くなった断面形状であるため、図8(ロ)に示すように、どちらの面を用いても半導体装置(図示せず)とインターリード先端部131Aとワイヤ120A、120Bによる接続(ボンディング)がし易いものとなっているが、本発明例の場合にはエッチング面側(図9(ロ)(a))をボンディング面としている。図9(ロ)(a)はエッチング加工による断面図、131Aはリードフレーム材料部、121A、121Bはのり部である。エッチング処理面がアラビの形であるため、図9(ロ)(a)の場合には、特に接続(ボンディング)過程が促される。図9(ハ)は図10に示す二方向にて作製されたリードフレームのインターリード先端部131Cと半導体装置(図示せず)との接続(ボンディング)を示すものであるが、この場合もインターリード先端部131Cの断面は半導体装置に接するが、この部分の断面方向の幅は小さくならない。また断面としリードフレーム材料部

である。接続(ボンディング)過程には本発明例のエッチング処理面より促される。図9(ニ)はプレスによりインターリード先端部を平坦化した後にエッチング加工によりインターリード先端部931D、931Eを加工したもの、半導体装置(図示せず)との接続(ボンディング)を示したものであるが、この場合はプレス面側が図に示すように平坦になっていないため、どちらの面を用いて接続(ボンディング)しても、図9(ニ)の

(a)、(b)に示すように接続(ボンディング)の際に安定性が悪く品質的にも問題となる場合が多い。

(0016) 次に本発明例1の導線部131Bの断面形状の断面図を挙げる。図2(a)は本発明例1の導線部131Bの断面図であり、図2(c)は本発明例1の導線部131Bの断面図を示すもので、図2(c)(ロ)は下(底)側から見た図で、図2(c)(イ)は正面断面図で、図2(b)は図1(a)のA1-A2に对应する位置での導線部の断面図である。本発明例1の導線部131Bの断面形状は、図2(a)の導線部131Bの先端部を幅140から突出したようにしており、且つ、先端部の断面には幅133Cが広げられており、幅を広げた状態で断面には半導体装置に接合した状態にする。そして実装する際には、この幅133C部を通り半導体装置が行き渡るようにしている。本発明例1の半導体装置100Aは、導線部133A以外に、本発明例1の半導体装置と同じである。

(0017) 次に、本発明例2の導線部131Bの断面形状の断面図を挙げる。図3(a)は本発明例2の導線部131Bの断面図であり、図3(b)は図3(a)のA3-A4におけるインターリード部の断面図で、図3(c)(イ)は図3(a)のB3-B4における導線部の断面図である。図3中、200は半導体装置、210は半導体装置、211は電極部(パッド)、220はワイヤ、230はリードフレーム、231はインターリード、231Aは第1部、231Abは第2部、231Acは第3部、231Adは第4部、231Bは導線部、231Baは幅部、231Bbは側部、231Bcはダイパッド、240は断線用テープ、250は絶縁層、250Aは図9(ロ)(a)に示すように、本発明例2の場合も、本発明例1と同様に、半導体装置210に、半導体装置の電極部(パッド)211側の面と電極部(パッド)211がインターリード間に収まるようにして、インターリード231に絶縁層250を介して固定されている。電極部211は、ワイヤ220にて、インターリード231の先端部の幅231Abと電気的に接続されているが、リードフレームにダイパッド231Bを有するもので、半導体装置210の電極部211はインターリード231とダイパッド231B間に設けられている。また、本発明例2の場合も、本発明例1と同様に、半導体装置200と本発明例2の電気的な接続は、導線部231Bの先端部に設けられた半導体装置の電極部

らなる電子部 233A を介してプリント基板等へ伝送されることにより行われる。本実施例においては、ダイパッド 235 と半導体素子 210 を接続する接続部 233A を導電性としており、且つ、ダイパッド 235 と電子部 233 とはインナーリード（吊りリード）にて接続されていることにより、半導体素子にて発生した熱をダイパッドを介して外部回路へ放散させることができる。尚、接続部 235 0A を導電性の接続部と必ずしもする必要はないが、ダイパッド 235 を電子部 233 を介してグラウンドラインに接続すると、半導体素子 210 がノイズに強くなるとともに、ノイズを受けにくい構造となる。

【0018】実施例 2 の半導体装置に使用のリードフレーム 230 も、実施例 1 にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたものであるが、図 7 (a)、図 7 (b) に示すように、ダイパッド 235 を有する形状をしており、電子部 233 部分より周向に形成されたインナーリード 2331 をもつ、インナーリード部 2331 の厚さは 40  $\mu$ m、電子部 233 部は 0.15 mm である。そして、インナーリードピッチは 0.12 mm と狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード部 2331 の第 2 面 2331Ab は平坦状でワイヤボンディングし易い形状となっており、第 3 面 2331Ac、第 4 面 2331Ad はインナーリード側へ凹んだ形状をしており、第 2 ワイヤボンディング面を狭くしても強制的に強いものとしている。また、実施例 2 の製造禁止型半導体装置の作製は、実施例 1 の場合とはほぼ同じ工程にて行う。

【0019】実施例 2 の製造禁止型半導体装置の実施例としては、図 2 に示す実施例 1 の実施例の場合と同様に、電子部 233 の先端部に第 233C (図 3 (c) (ロ)) を設け、禁止用部 240 から、突出させて、電子部の先端部をそのまま電子 233A にしたものが挙げられる。

【0020】次に、実施例 3 の製造禁止型半導体装置を挙げる。図 4 (a) は実施例 3 の製造禁止型半導体装置の断面図であり、図 3 (b) は図 4 (a) の A5-A6 におけるインナーリード部の断面図で、図 3 (c) (イ) は図 3 (a) の B5-B6 における電子部 233 の断面図である。図 4 中、300 は半導体装置、310 は半導体素子、311 はパンプ、330 はリードフレーム、331 はインナーリード、331A は第 1 面、331Ab は第 2 面、331Ac は第 3 面、331Ad は第 4 面、333 は電子部、333A は電子部、333B は側面、335 はダイパッド、340 は禁止用部、360 は製造用テープである。本実施例の半導体装置 300 の場合は、実施例 1 や実施例 2 の場合と異なり、半導体素子 310 はパンプ 311 を内蔵したもので、パンプ 311 を成りインナーリード 330 に形成固定し、半導体素子 310 とインナーリード 330 とを電気的に接続するもの

である。また、本実施例 3 の場合は、実施例 1 や実施例 2 の場合と同様に、半導体装置 300 と外部回路との電気的な接続は、電子部 333 先端部に設けられた半導体の半田からなる電子部 333A を介してプリント基板等へ伝送されることにより行われる。

【0021】実施例 3 の半導体装置に使用のリードフレーム 330 も、実施例 1 や実施例 2 にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたもので、図 6 (a)、図 6 (b) に示すような形状をしており、リードフレーム素材と同じ厚さの電子部 333 3 部の部分より周向に形成されたインナーリード先端部 3331A をもつ、インナーリード先端部 3331A の厚さは 40  $\mu$ m、インナーリード先端部 3331A 以外の厚さは 0.15 mm である。強制的には工程に充分耐えらるものとなっている。そして、インナーリードピッチは 0.12 mm と狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード先端部 3331A の第 2 面 3331Ab は平坦状でワイヤボンディングし易い形状となっており、第 3 面 3331Ac、第 4 面 3331Ad はインナーリード側へ凹んだ形状をしており、第 2 ワイヤボンディング面を狭くしても強制的に強いものとしている。また、実施例 3 の製造禁止型半導体装置の作製も、実施例 1 の場合とはほぼ同じ工程にて行うが、ダイパッド 335 に半導体素子を形成し固定した後に、禁止用部にて製造禁止する。

【0022】実施例 3 の製造禁止型半導体装置の実施例としては、図 2 に示す実施例 1 の実施例の場合と同様に、電子部 333 の先端部に第 333C (図 4 (c) (ロ)) を設け、禁止用部 340 から、突出させて、電子部の先端部をそのまま電子 333A にしたものが挙げられる。

【0023】

【発明の効果】本発明の製造禁止型半導体装置は、上記のように、リードフレームを用いた製造禁止型半導体装置において、多端子化に対応して、且つ、高信頼性の半導体装置の提供を可能としている。本発明の製造禁止型半導体装置は、これと同時に、従来の図 11 (b) に示すアフターリードを用いたリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの曲げ工程を必要としないため、アフターリードのスキューの問題や、半導体（コープラナリティー）の問題を回避している。また、QFP や BGA に比べるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝達遅延時間を短くすることを可能にしている。

【図面の簡単な説明】

【図 1】実施例 1 の製造禁止型半導体装置の断面図  
【図 2】実施例 1 の製造禁止型半導体装置の実施例の図  
【図 3】実施例 2 の製造禁止型半導体装置の断面図  
【図 4】実施例 3 の製造禁止型半導体装置の断面図  
【図 5】実施例 1 の製造禁止型半導体装置の作製工程を

## 説明するための図

(図6) 本発明の磁気封止型半導体装置に用いられるリードフレームの図

(図7) 本発明の磁気封止型半導体装置に用いられるリードフレームの図

(図8) 本発明の磁気封止型半導体装置に用いられるリードフレームの作製方法を説明するための図

(図9) インナーリード先端部でのワイボンディングの接続状態を示す図

(図10) 従来のリードフレームのエッチング製造工程を説明するための図

(図11) 磁気封止型半導体装置及び基座リードフレームの図

## [符号の説明]

100, 100A, 200, 300  
磁気封止型半導体装置  
110, 210, 310  
基体素子  
111, 211, 311  
座 (パッド)  
120, 220, 320  
イヤ  
120A, 120B  
イヤ  
121A, 121B  
ウエ  
130, 230, 330  
ードフレーム  
131, 231, 331  
ンナーリード  
131Aa, 231Aa, 331Aa  
1面  
131Ab, 231Ab, 331Ab  
2面  
131Ac, 231Ac, 331Ac  
3面  
131Ad, 231Ad, 331Ad  
4面  
131B, 231B  
座部  
133, 233, 333  
子位  
133A  
子部  
133B  
部  
133C  
136, 236  
ムバー  
137, 237

## レーン (10) 座

140, 240, 340

止用座席

150

絶縁性材料

160, 260, 360

相対テープ

235

イパッド

10 810

ードフレーム素材

820A, 820B

ジストパターン

830

一の開口部

840

二の開口部

850

一の凹部

10 860

二の凹部

870

座状部

880

ッティング座状部

920C, 920D, 920E

イヤ

921C, 921D, 921E

ウエ

10 931D, 931E

ンナーリード先端部

931Aa

ードフレーム素材部

931Ac

イニング部

1010

ードフレーム素材

1020

オトレジスト

10 1030

ジストパターン

1040

ンナーリード

1110

ードフレーム

1111

イパッド

1112

ンナーリード

10 1112A

図

絶

部

テ

リ

レ

図

部

部

部

部

エ

ッ

の

イ

リ

コ

リ

フ

レ

イ

リ

テ

イ

イ

(11)

特開平9-8207

20

シナーリード先端部

1113

ウターリード

1114

ムバー

1115

レーム部 (抑部)

1120

点検端子

7 1121

区部 (パッド)

ダ 1130

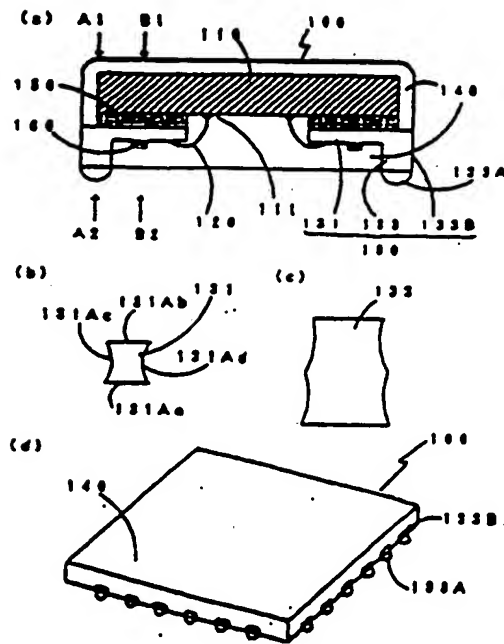
イヤ

フ 1140

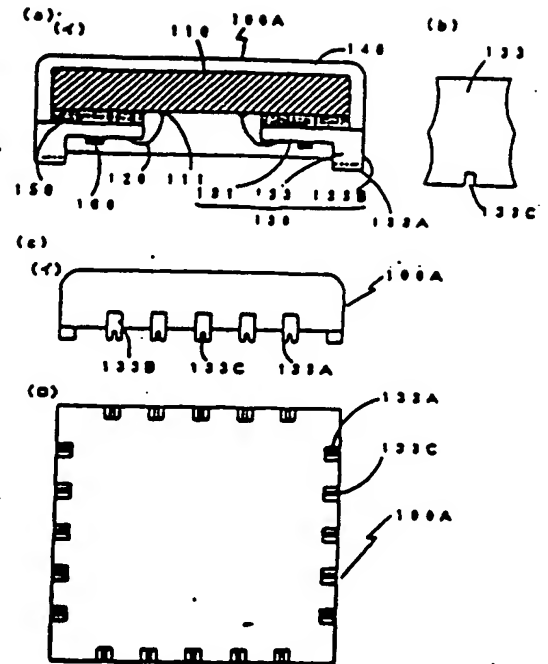
止用部

半

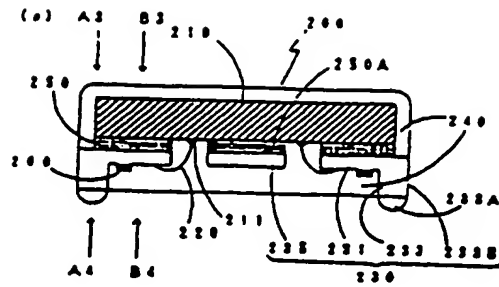
(図1)



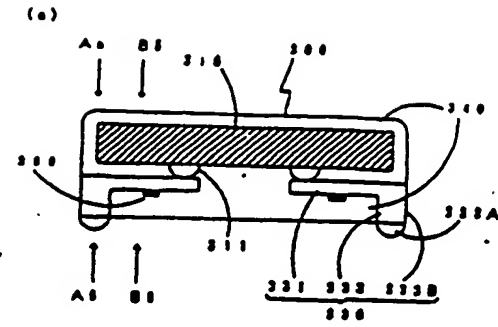
(図2)



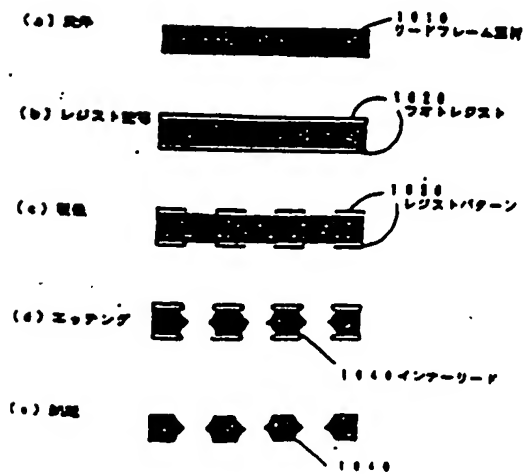
[ 図 3 ]



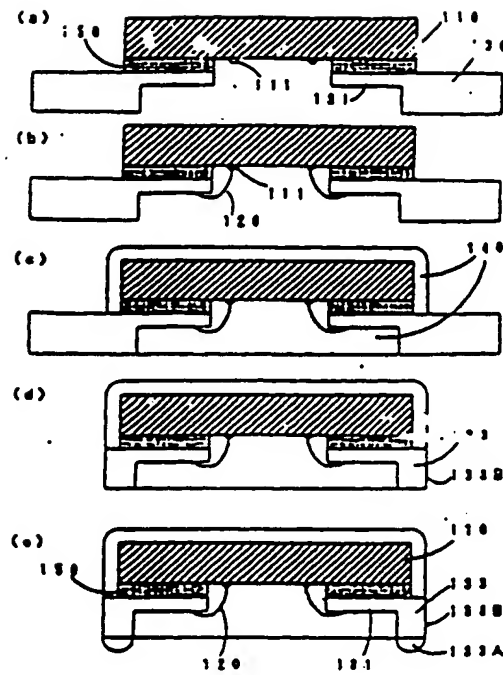
[ 図 4 ]



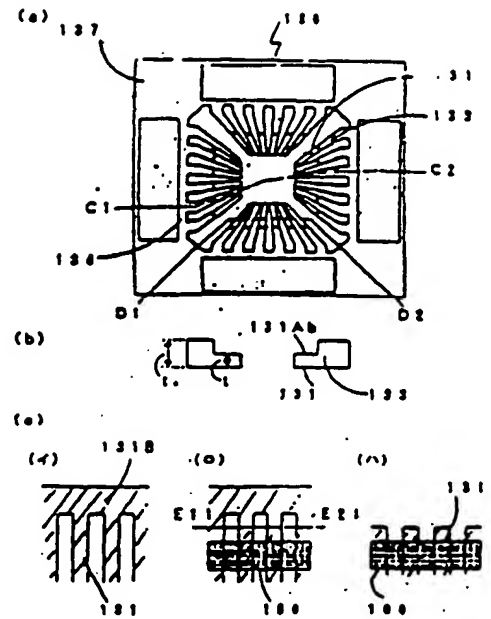
[ 図 10 ]



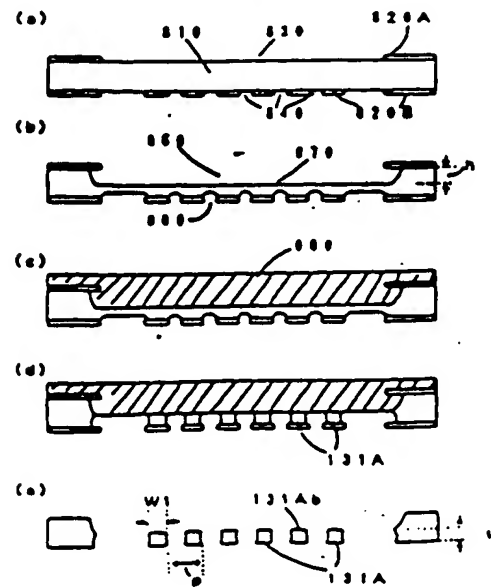
[ 5 ]



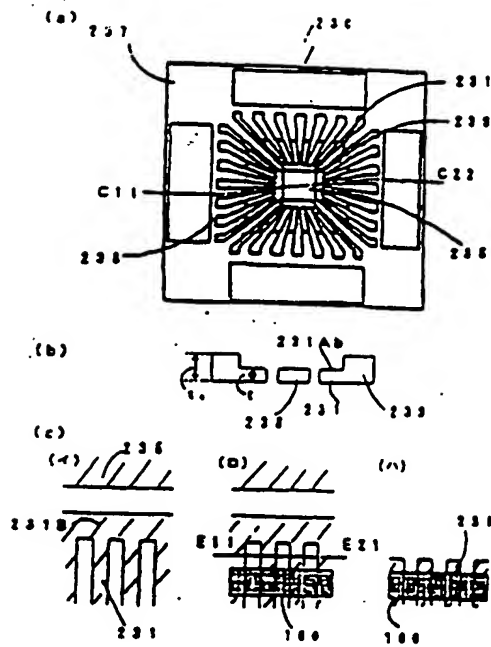
[ 6 ]



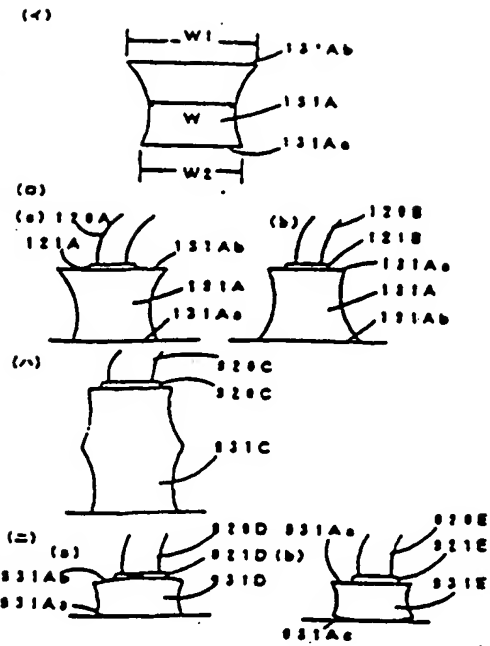
[ 7 ]



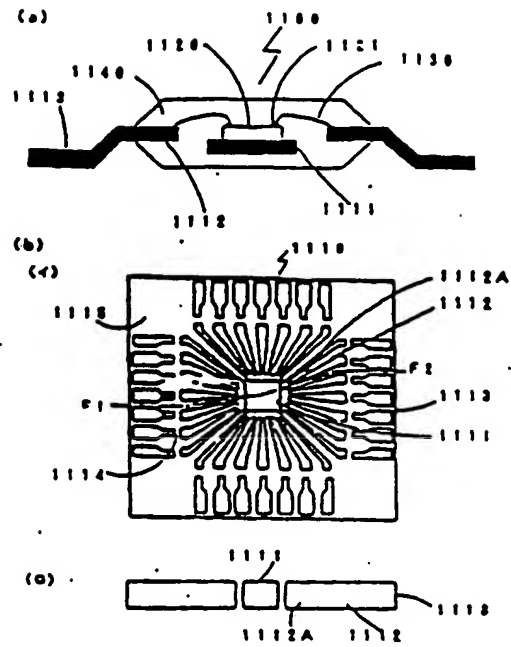
[ 27 ]



[ 29 ]



( 圖 1 1 )



Japanese Patent Laid-Open Publication No. Heisei 9-8207

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

[CLAIMS]

1. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

10 inner leads having a thickness smaller than that of a lead frame blank;

15 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

20 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which  
25 the semiconductor chip is mounted, the terminal columns

having terminal portions arranged on their tips;  
the terminal portions being made of solder, etc. and  
exposed externally through the encapsulating resin such  
that the terminal columns are exposed externally through  
5 the encapsulating resin at their outer sides; and  
the semiconductor chip at its surface having electrode  
portions being mounted on the inner leads by means of an  
insulating adhesive, and the electrode portions being  
arranged between the inner leads and being electrically  
10 connected to tips of the inner leads by wires.

2. A resin-encapsulated CSP type semiconductor  
device in which a lead frame shaped in accordance with a  
two-step etching process in such a manner that a thickness  
15 of inner leads is thinner than that of the lead frame and  
which is encapsulated with an encapsulating resin in such a  
manner that it is substantially the same as that of a  
semiconductor chip in size, the lead frame including:  
inner leads having a thickness smaller than that of a  
20 lead frame blank;  
terminal columns having the same thickness as that of  
the lead frame blank and being integrally connected to the  
inner leads and also being adapted to be electrically  
connected to an external circuit;  
25 the terminal columns being disposed outside of the

inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of the tips thereof to serve as terminal portions, the terminal columns being exposed externally through the encapsulating resin at the outer sides thereof; and

the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

3. The resin-encapsulated CSP type semiconductor devices of claim 1 or 2, wherein the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that electrode portions thereof are arranged between the inner leads and the die pad.

4. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner

that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

5 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

10 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns  
15 having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at the outer sides thereof; and

20 the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

25 5. A resin-encapsulated CSP type semiconductor

device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of tips thereof to serve as terminal portions; and

the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

6. The resin-encapsulated CSP type semiconductor device of any of claims 1 to 5, wherein the inner leads each have a rectangular cross-sectional shape including  
5 four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead  
10 frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

[DETAILED DESCRIPTION OF THE INVENTION]

15 [FIELD OF THE INVENTION]

The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for  
an increase in the number of terminals and having a miniaturized structure and thus an excellent mounting  
20 efficiency. More particularly, the present invention relates to a resin-encapsulated semiconductor device utilizing a lead frame shaped in a manner that an inner lead portion is thinner in a thickness than a lead frame blank.

25

[DESCRIPTION OF THE PRIOR ART]

Fig. 11a shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1111 having a semiconductor chip 1120 mounted thereon, outer leads to be electrically connected to the associated circuits, inner leads 1112 formed integrally with the outer leads 1113, bonding wires 1130 for electrically connecting the tips of the inner leads 1112 to the bonding pad 1121 of the semiconductor chip 1120, and a resin encapsulating the semiconductor chip 1120 to protect the semiconductor chip 1120 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor device 1120 on the bonding pad 1121, is manufactured by encapsulating the semiconductor chip 1120 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1112 is equal to that of the bonding pads 1121 of the semiconductor chip 1120. And, Fig. 11b shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in Fig. 11a. Such a lead frame includes the bonding pad 1111 for mounting the semiconductor chip, the inner leads 1112 to be electrically connected to the semiconductor device, the outer lead 1113 which is integral

with the inner lead 1112 and is adapted to be electrically connected to the associated circuits. This also includes dam bars serving as a dam when encapsulating the semiconductor device with the resin, and a frame serving to support the entire lead frame 1110. Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy (a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame 1110 (plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package (QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages

are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to Fig. 10. First a copper alloy or 42 alloy thin sheet 1010 of a thickness on the order of 0.25 mm (blank for a lead frame) is cleaned perfectly (Fig. 10a). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1020 over the major surfaces of the thin film as shown in Fig. 10b. Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1030 as shown in Fig. 10c. Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1010 not coated with the patterned photoresist films 1020 so that inner

leads of predetermined sizes and shapes are formed as shown in Fig. 10d.

Then, the patterned resist films are removed, the patterned thin sheet 1010 is washed to complete a lead frame having the inner leads of desired shapes as shown in Fig. 13e. Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in Fig. 10 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80  $\mu$ m for successful wire bonding. When the etching process as illustrated in Fig. 10 is employed in fabricating a lead frame, a thin sheet of a small

thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the fine tips thereof are arranged at a pitch of about 0.165 mm.

5 However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged at pitches in the range of 0.013 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to  
10 withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine  
15 leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the  
20 lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions  
25 corresponding to the inner leads by pressing; for example,

the smoothness of the surface of the plated areas is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

Meanwhile, there has been growing demand for the miniaturization and increase in the mounting efficiency of the semiconductor package as electronic apparatuses are miniaturized progressively. Thus, a package, so called "CSP" (Chip Size Package) is proposed which is encapsulated with a resin in such a manner that its size is substantially equal to that of the semiconductor chip. The CSP has the following advantages.

1: First, where the number of pins of the CSP is equal

to that of QFP (Quad Flat Package) or BGA (Ball Grid Package), the CSP enables a remarkable reduction in the mounting area as compared to the QFP or BGA.

2) Second, if the CSP is equal to the QFP or BGA in size, the CSP is increased in the pin number over the QFP or BGA. In the case of the QFP, a practical use dimension is 40 mm or less when considering the length of the package or substrate, and the pin number is 304 or less if the outer leads are arranged at a pitch of 0.5 mm. The outer leads need to be arranged at a pitch of 0.4mm or 0.3 mm to increase the pin number, but this causes a user difficulty in mounting the semiconductor package at a high productivity. Generally, in fabricating the QFP in which the outer leads are arranged at a pitch of 0.3 mm or less, the mass production of the QFP necessarily involves an increase in costs, otherwise the mass production is difficult. The BGA was proposed to overcome such a difficulty of the QFP. In the BGA, external terminals are formed in the shape of two-dimensional array, and arranged at a wider pitch, thereby reducing a difficulty in mounting it. Moreover, although the BGA permits the conventional overall reflow soldering even at the pin number in excess of 300 pins, solder bumps are incorporated with cracks depending on the temperature cycle if the dimension of the BGA reaches 30 to 40 mm, such that an upper limitation of

the pin number of the BGA is 600 to 700 pins, or at most 1000 pins. In the case of the CSP in which external terminals are mounted in the shape of two-dimensional array on the back surface of the CSP, pitches of the external terminals can be increased in accordance with the concepts of the BGA. Moreover, in the CSP, the overall reflow soldering can be permitted, as in the BGA.

3) Third, as compared to the QFP or BGA, the CSP is short in an interconnection length, and thus less in the parasitic capacitance, and thereby short in the transfer delay time. Where the clock rate is in excess of 100 MHz, the QFP is problematic in transfer into the package. The CSP having a shortened interconnection length is advantageous. Accordingly, the CSP is advantageous in view of the mounting efficiency, but it needs to be narrower in the terminal pitch when considering a demand for an increase in the number of terminals.

Thus, the present invention is aimed to provide a resin-encapsulated semiconductor device employing a lead frame, which is capable of meeting a demand for the miniaturization and increased terminal number.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

A resin-encapsulated semiconductor device in accordance with the present invention is a resin-

encapsulated CSP type semiconductor device in which a lead  
frame shaped in accordance with a two-step etching process  
in a manner that a thickness of inner leads is thinner than  
that of the lead frame and which is encapsulated with an  
5 encapsulating resin in such a manner that it is  
substantially the same as that of a semiconductor chip in  
size, the lead frame including: inner leads having a  
thickness smaller than that of a lead frame blank; and  
terminal columns having the same thickness as that of the  
10 lead frame blank and being integrally connected to the  
inner leads and also being adapted to be electrically  
connected to an external circuit; the terminal columns  
being disposed outside of the inner leads in such a manner  
that they are coupled to the inner leads in a direction  
15 orthogonal to thickness-wise direction thereof, the  
terminal columns being mounted on the surface opposite the  
surface on which the semiconductor chip is mounted, the  
terminal columns having terminal portions arranged on their  
tips; the terminal portions being made of solder, etc. and  
20 exposed externally through the encapsulating resin such  
that the terminal columns are exposed externally through  
the encapsulating resin at their outer sides; the  
semiconductor chip at its surface having electrode portions  
(pads) being mounted on the inner leads by means of an  
25 insulating adhesive, and the electrode portions being

electrically connected to tips of the inner leads by wires.

Moreover, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being

arranged between the inner leads and electrically connected to tips of the inner leads by wires.

In the resin-encapsulated CSP type semiconductor devices as described above, the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that their electrode portions is arranged between the inner leads and the die pad.

Furthermore, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the

surface of the lead frame on which the semiconductor device  
is mounted, the terminal columns having terminal portions  
arranged on their tips; the terminal portions being made of  
solder, etc. and exposed externally through the  
5 encapsulating resin such that the terminal columns are  
exposed externally through the encapsulating resin at their  
outer sides; the semiconductor chip being mounted on the  
inner leads by bumps arranged on one surface of the  
semiconductor chip, and the semiconductor chip being  
10 electrically connected to the inner leads.

Also, a resin-encapsulated semiconductor device in  
accordance with the present invention is a resin-  
encapsulated CSP type semiconductor device in which a lead  
frame shaped in accordance with a two-step etching process  
15 in a manner that a thickness of inner leads is thinner than  
that of the lead frame and which is encapsulated with an  
encapsulating resin in such a manner that it is  
substantially the same as that of a semiconductor chip in  
size, the lead frame including: inner leads having a  
20 thickness smaller than that of a lead frame blank; and  
terminal columns having the same thickness as that of the  
lead frame blank and being integrally connected to the  
inner leads and also being adapted to be electrically  
connected to an external circuit; the terminal columns  
25 being disposed outside of the inner leads in such a manner

that they are coupled to the inner leads in a direction  
orthogonal to thickness-wise direction thereof, the  
terminal columns being mounted on the surface opposite the  
surface of the lead frame on which the semiconductor device  
5 is mounted, the terminal columns having terminal portions  
arranged on their tips; the terminal portions being exposed  
externally through the encapsulating resin at a portion of  
tips thereof; the semiconductor chip being mounted on the  
inner leads by bumps arranged on one surface thereof, and  
10 the semiconductor chip being electrically connected to the  
inner leads.

In the resin-encapsulated CSP type package, the inner  
leads each have a rectangular cross-sectional shape  
including four faces respectively provided with a first  
15 surface, a second surface, a third surface, and a fourth  
surface, the first surface being opposite to the second  
surface and flush with one surface of the remaining portion  
of the inner lead having the same thickness as that of the  
lead frame blank, and the third and fourth surfaces each  
20 having a concave shape depressed toward the inside of the  
inner lead.

Meanwhile, the CSP type semiconductor devices as used  
herein generally means resin-encapsulated semiconductor  
devices encapsulated with an encapsulating resin in a  
25 manner that each of the resulting structures is

lead, the inner leads are stable and wider in their width.

Furthermore, in the resin-encapsulated semiconductor device in accordance with the present invention, a semiconductor chip is mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip and the inner leads are electrically connected to each other. Thus, wire bondings are not required, and also bondings can be carried out in a lump.

[EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to Figures. 1. First, a first embodiment is shown in Fig. 1. Fig 1a is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. Fig. 1b is a cross-sectional view of each of the inner leads taken along the line A1-A2 of Fig. 1a, and Fig 1c is a cross-sectional of each of terminal columns view taken along the line B1-B2 of Fig. 1a. In Fig. 1, a reference numeral 100 depicts a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrode portions (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A

terminal portions, 133B sides, 140 an encapsulating resin,  
150 an insulating adhesive, and 160 a reinforcing tape.

In the resin-encapsulated semiconductor device  
according to the first embodiment, a semiconductor device  
5 110 is mounted in a manner that the electrode portions 111  
of the semiconductor chip 110 are arranged between the  
inner leads. The semiconductor chip 110 is electrically  
connected to the second surface 131 Ab of the tip of each  
inner lead 131. The electrical connection of the resin-  
10 encapsulated semiconductor device 100 to an external  
circuit is achieved by mounting the resin-encapsulated  
semiconductor device 100 at terminal portions made of semi-  
spherical solder on a printed circuit substrate. The lead  
frame 130 used in the semiconductor device 100 according to  
15 the first embodiment is made of a 42% nickel-iron alloy.  
This lead frame 130 has a shape as shown in Fig. 6a. As  
shown in Fig. 6a, the lead frame 130 has inner leads 131  
shaped to have a thickness smaller than that of the  
terminal column 133. Dam bars 136 serve as a dam when  
20 encapsulating with a resin. Moreover, although the lead  
frame processed by etching to have a shape as shown in Fig.  
6a is used in this embodiment, the lead frame is not  
limited to such a shape as portions other than the inner  
leads and the terminal columns 133 are not required to be  
25 used. The inner leads 131 have a thickness of 40 $\mu$ m whereas

the portions of the lead frame other than the inner leads 131 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips of the inner leads have a fine pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face denoted by the reference numeral 131Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire bonding thereon. The third and fourth faces 131Ac and 131Ad have a concave shape depressed toward the inside of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Also, Fig. 6b is a cross-sectional view taken with the line C1-C2 of Fig. 6a. The reinforcing tape 160 is attached fixedly so as not to cause twisting in the inner leads. Also, if the inner leads are short in their length, a lead frame fabricated by etching to have a shape shown in Fig. 6a is mounted with the semiconductor chip in accordance with a method as described below. However, where the inner leads are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate directly the lead frame by etching to have a shape as shown in Fig. 6a. Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in Fig.

6c(i), the inner leads 131 are fixed with the reinforcing tape 160 as shown in Fig. 6c(ii). Then, the connecting portion 131B unnecessary for the fabrication of the resin-encapsulated semiconductor device are removed by means of a press as shown in Fig. 6c (iii), and a semiconductor chip is then mounted on the lead frame. In Fig. 6c(ii), the line E1-E2 shows the line to be cut by a press.

A method for the fabrication of the resin-encapsulated semiconductor device will now be described in brief. First, as shown in Fig. 5a, a lead frame, which is fabricated by an etching and from which the unnecessary portions are moved by a cutting process, is arranged in a manner that thin tips of the inner leads are directed upwardly. Moreover, if the inner leads are long in their length, the tips of the inner leads are fixed by a polyimide tape, as required. Then, the surface of the semiconductor device 110 having electrode portions 111 formed thereon is directed downwardly, and located on the inner leads in a manner that the electrode portions are arranged between the inner leads 131. Then, the semiconductor device 110 is mounted fixedly on the inner leads by means of an insulating adhesive 150.

Then, as shown in Fig. 5b, the electrode portions are electrically connected to the tips of the inner leads 131 by wires 120. Subsequently, encapsulation is carried out

with the conventional encapsulating resin 140, as shown in Fig. 5c. Such an encapsulation with the resin is carried out using a desired mold in a manner that the outer surface of the terminal columns is somewhat protruded externally from the encapsulating resin. Then, unnecessary portions of the lead frame 130 protruded from the encapsulating resin 140 are cut off by a press to form terminal columns 130 while forming sides 133B of the terminal columns 130, as shown in Fig. 5d. In this case, it is preferable to form previously the cutting line in the lead frame for easy cutting. Particularly, the forming of the cutting line during etching of the lead frame results in the saving of time. The dam bars 136, frame portions 137, etc. of the lead frame 110 as shown in Fig. 6 are removed. Next, terminal portion 133A made of solder is arranged on the outer surface of each terminal column to fabricate a resin-encapsulated semiconductor device. The terminal portion 133A serves to facilitate connection of the resin-encapsulated semiconductor device to an external circuit, but does not necessarily need to be arranged.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs. 8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in

Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line D1 - D2 of Fig. 6a, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first opening, 840 second openings, 850 first concave portion, 860 second concave portions, 870 flat surface, 880 an etch-resistant layer, 131A tips of inner leads, and 131Ab second faces of inner leads, respectively. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first opening 830 and second openings 840, respectively (Fig. 8a).

The first opening 830 is adapted to etch the lead frame blank 810 to have an etched flat bottom surface of a thickness smaller than that of the lead frame blank 810 in a subsequent process. The second openings 840 are adapted to form desired shapes of tips of inner leads. Although the first opening 830 includes at least an area forming the tips of the inner leads 810, a topology generated by a partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a

clamping process for fixing the lead frame. Thus, an area to be etched needs to be sufficiently large without being limited to an area for forming the fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 810 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57 °C at a spray pressure of 2.5 kg/cm<sup>2</sup>. The etching process is terminated at the point of time when first recess 850 etched to have a flat etched bottom surface has a depth h corresponding to 2/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously etch both surfaces of the lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as described hereinafter. The total time taken for the

primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead frame blank on which the resist pattern 820B is formed. Subsequently, the surface provided with the first recess 5 850 etched at the first opening 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recess 850 and to cover the resist pattern 820A (Fig. 8c).

10 It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recess 850 and first 15 opening 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recess 850. Although the etch-resistant layer 880 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the 20 etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the above-mentioned wax, but may be a wax of a UV-setting type. Since the first recess 850 etched by the primary etching 25 process at the surface formed with the pattern adapted to

form a desired shape of the inner lead tip is filled up  
with the etch-resistant layer 880, it is not further etched  
in the following secondary etching process. The  
etch-resistant layer 880 also enhances the mechanical  
5 strength of the lead frame blank for the second etching  
process, thereby enabling the second etching process to be  
conducted while keeping a high accuracy. It is also  
possible to enable a second etchant solution to be sprayed  
at an increased spraying pressure, for example, 2.5 kg/cm<sup>2</sup>  
10 or above, in the secondary etching process. The increased  
spraying pressure promotes the progress of etching in the  
direction of the thickness of the lead frame blank in the  
secondary etching process. Then, the lead frame blank is  
subjected to a secondary etching process. In this  
15 secondary etching process, the lead frame blank 810 is  
etched at its surface formed with the first recess 850  
having a flat etched bottom surface, to completely  
perforate the lead frame blank 810, thereby forming the  
tips 890 of the inner leads (Fig. 8d).

20 The bottom surface 870 of each recess formed by the  
primary etching process and parallel to the surface of the  
lead frame is flat. However, both side surfaces of each  
recess positioned at opposite sides of the bottom surface  
870 have a concave shape depressed toward the inside of the  
25 inner lead. Then, the lead frame blank is cleaned. After

completion of the cleaning process, the etch-resistant layer 880, and resist films (resist patterns 820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 6a is obtained in which tips 690 of inner leads are arranged at a fine pitch. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

The etching method in which the etching process is conducted at two separate steps, respectively, as described above, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130 used in the present invention and shown in Figs. 6a and 6b involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In accordance with the above method, the fineness of the tip 131A of each inner lead formed by this method is dependent on a shape of the second recesses 860 and the thickness of the inner lead tip. For example, where the blank has a thickness  $t$  reduced to 50  $\mu\text{m}$ , the inner leads can have a fineness corresponding to a lead width  $W_1$  of 100  $\mu\text{m}$  and a tip pitch  $p$  of 0.15 mm, as shown in Fig. 6e. In the case of using a small blank thickness  $t$

of about 30  $\mu$ m and a lead width  $W_1$  of 70  $\mu$ m, it is possible to form inner leads having a fineness corresponding to an inner lead pitch  $p$  of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness  $t$  and the lead width  $W_1$ .

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in Fig. 6a can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have a tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in Fig. 6c(I). Then, the connecting member 131B, unnecessary for the fabrication of a semiconductor package, is cut off by means of a press to obtain a lead frame shaped as shown in Fig. 6a.

In the case of fabricating a lead frame 230 having a die pad 235 as shown in Figs. 7a and 7b, the lead frame may be shaped by etching in a state where a connecting member 231B is arranged on the tips of the inner leads to bind the tips directly to the die pad, as shown in Fig. 7c(I). Then, unnecessary portions in the shaped lead frame may be cut

off. Moreover, Fig. 7b is a cross-sectional view taken along the line C11-C22, and the line E11-E21 in Fig. 7c(ii) shows a cutting line. After the inner leads are plated in accordance with a jig plating process, unnecessary portions are cut off to obtain a lead frame having a good quality with no plating failure.

Moreover, as described above, where unnecessary portions in the structure shown in Fig. 6c are cut off to obtain the lead frame having a shape shown in Fig. 6a, a reinforcing tape 160 (a polyimide tape) is generally used, as shown in Fig. 6c(iii). Similarly, the reinforcing tape is also used in the case of cutting off unnecessary portions in a structure shown in Fig. 7c. While the connecting member 131B is cut off by means of a press to obtain a shape shown in Fig. 6c(iii), a semiconductor chip is mounted on the lead frame still having the reinforcing tape attached thereon. Also, the mounted semiconductor chip is encapsulated with a resin in a condition where the lead frame still has the tape.

The tip 131A of each inner lead of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 9(I). The tip 131A has an etched flat surface (second surface) 131Ab which has a width W1 slightly more than the width W2 of an opposite surface. The widths W1 and W2 (about 100  $\mu$ m) are more than the width W at the central portion of the tips when viewed

in the direction of the inner lead thickness. Thus, the  
tip of the inner lead has a cross-sectional shape having  
opposite wide surfaces. To this end, although either of  
the opposite surfaces of the tip 131A can be easily  
5 electrically connected to a semiconductor chip (not shown)  
by a wire 120A or 120B, this embodiment illustrates the use  
of the etched flat surface for wire-bonding as shown in  
Fig. 9(ii)a. In Fig. 9, a reference numeral 131Ab depicts an  
etched flat surface, 131Aa a surface of a lead frame blank,  
10 and 121A and 121B, respectively, a plated portion. In the  
case of Fig. 9(ii)a, there is a particularly excellent wire-  
bonding property, as the etched flat surface does not have  
roughness. Fig. 9(iii) shows that the tip 931C of the inner  
lead of the lead frame fabricated according to the process  
15 illustrated in Fig. 10 is wire-bonded to a semiconductor  
chip. In this case, however, both opposite surfaces of the  
tip 931C of the inner lead are flat, but have a width  
smaller than that in a direction of the inner lead  
thickness. In addition to this, as both the opposite  
20 surfaces of the tip 931C are formed of surfaces of the lead  
frame blank, these surfaces have an inferior wire-bonding  
property as compared to that of the etched flat surface of  
the first embodiment. Fig. 9(iv) shows that the inner lead  
tip 931D or 931E, obtained by thinning in its thickness by  
25 a means of a press and then by etching, is wire-bonded to a

semiconductor chip (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown Fig. 9(iv). Thus, the wire-bonding on either of the opposite surfaces as shown in Fig. 9(iv)a or Fig. 9(iv)b often results in an insufficient wire-bonding stability and a problematic quality.

A modification to the resin-encapsulated semiconductor device of the first embodiment will now be described. Fig. 2a is a cross-sectional view illustrating a modification to the resin-encapsulated semiconductor device of the first embodiment, and Fig. 2c shows an appearance of the semiconductor device in accordance with the modification. Fig. 2c(ii) is a view when viewed from the bottom of the semiconductor device, Fig. 2c(i) is a front view of the semiconductor device, and Fig. 2b is a cross-sectional view of a terminal column taken at a position corresponding to the line A1-A2 of Fig. 1a. The semiconductor device according to the modification is different with that of the first embodiment in terminal portion 133A. The terminal portions at their tips are protruded externally from a resin 140. The surface of the tip of each terminal portion is plated with solder. Thus, when mounting the resin-encapsulated semiconductor device, the solder is uniformly distributed through an opening 133c. The semiconductor device 100A of this modification is identical to that of

the first embodiment except for the terminal portions 133A.

A resin-encapsulated semiconductor device in accordance with a second embodiment will now be described. Fig. 3a is a cross-sectional view of a resin-encapsulated semiconductor device according to the second embodiment, Fig. 3b is a cross-sectional view of an inner lead taken along the line A3-A4 of the Fig. 3a, and Fig. 3c(I) is a cross-sectional view of a terminal column taken along the line A3-A4 of Fig. 3a. In Fig. 3, a reference numeral 200 depicts a resin-encapsulated semiconductor device, 210 a semiconductor chip, 230 a lead frame, 231 inner leads, 231Aa a first surface, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B sides, 235 a die pad, 240 an encapsulating resin, 250 an insulating adhesive, 250A an adhesive, and 260 a reinforcing tape. In the case of the second embodiment similarly to the case of the first embodiment, the semiconductor chip 210 is mounted in such a manner that the surface, on which electrode portions (pads) 211 are formed, is mounted fixedly on the inner leads 231 by means of the insulating adhesive, while the electrode portions 211 are arranged between the inner leads 231. The electrode portions are electrically connected to the second surfaces 231Ab of the tips of the inner leads 231. The lead frame has the die pad 235 at its inside. The electrode

portions 211 are arranged between the inner leads 231 and the die pad 235. Moreover, in the second embodiment similarly to the case of the first embodiment, electrical connection of the semiconductor device 200 to an external circuit is achieved by mounting the semiconductor device 200 on a printed substrate by terminal portions made of a semi-spherical solder and arranged on the tips of the terminal columns 233. In this embodiment, a conductive adhesive is used to adhere the semiconductor chip 210 to the die pad 235, and the die pad 235 and the terminal columns 233 are connected by the inner leads to each other, thereby dissipating heat generated in the semiconductor chip through the die pad. Also, the adhesive 250A necessarily needs to be conductive. However, where the die pad and the semiconductor chip are connected together by means of the conductive adhesive and the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

Similarly to the lead frame used in the first embodiment, the lead frame 230 used in the second embodiment is made of 42% nickel-iron alloy. However, as shown in Figs. 7a and 7b, the lead frame 230 is shaped to have the die pad 235 and the inner leads 233 having a thickness thinner than that of the terminal columns. The

terminal columns each have a thickness of 0.15 mm. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 231Ab of each inner lead is flat, such that is easy to wire-bond. The third and fourth surfaces 231Ac and 231Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment.

For example, in a modification to the resin-encapsulated semiconductor device of the second embodiment, an opening 233C is formed on the tip of each terminal column 233 as in the modification to the first-embodiment. The opening is protruded externally from the encapsulating resin 240 such that the tip having the opening serves as the terminal 233A.

A resin-encapsulated semiconductor device in accordance with a third embodiment will now be described. Fig. 4a is a cross-sectional view of a resin-encapsulated semiconductor device in accordance with a third embodiment, and Fig. 4b is a cross-sectional view of an inner lead

taken along the line A5-A6 of Fig. 4a. Also, Fig. 4c(2) is  
a cross-sectional view of a terminal column taken along the  
line B5-B6 of Fig. 4a. In Fig. 4, a reference numeral 300  
depicts a resin-encapsulated semiconductor device, 310 a  
5 semiconductor device, 311 pads, 330 a lead frame, 331 inner  
leads, 331Aa a first surface, 331Ab a second surface, 331Ac  
a third surface, 331Ad a fourth surface, 333 terminal  
columns, 333A terminal portions, 333B sides, 335 a die pad,  
340 a encapsulating resin, and 360 a reinforcing resin.  
10 Unlike the first or second embodiment above, the  
semiconductor device 300 in accordance with this third  
embodiment includes bumps 311. The bumps 311 are mounted  
fixedly on the inner leads 330 and electrically connect the  
semiconductor chip 310 and the inner leads 331 together.  
15 Similarly to the first or second embodiment, electrical  
connection of the semiconductor device to an external  
circuit is achieved by mounting the semiconductor device on  
a printed substrate by terminal portions 333A made of a  
semi-spherical solder and arranged on the tips of the  
20 terminal columns.

Similarly to the lead frame used in the first or  
second embodiment, the lead frame 330 used in the second  
embodiment is made of 42% nickel-iron alloy. However, the  
lead frame 330 is shaped to have the tips 331A of the inner  
25 leads having a thickness thinner than that of the terminal

columns, as shown in Figs. 6a and 6b. The terminal columns  
333 are equal to the lead frame blank in thickness. The  
tips 331A of the inner leads are 40  $\mu$ m thick, and the  
remaining portions other than the tips 331A of the inner  
5 leads are 0.15 mm thick, such that the lead frame has a  
strength sufficient to withstand the subsequent processes.  
The inner leads are arranged at a pitch of 0.12 mm, thereby  
meeting a demand for the increased terminal number of the  
semiconductor device. The second surface 331Ab of each  
10 inner lead 331A is flat, such that is easy to wire-bond.  
The third and fourth surfaces 331Ac and 331Ad also have a  
concave shape depressed toward the inside of the inner  
lead. This structure exhibits a high strength even though  
the second face (wire bonding surface) is narrow. Moreover,  
15 the fabrication of the resin-encapsulated semiconductor  
device of the second embodiment is carried out in  
accordance with substantially the same process as that of  
the first embodiment, except that the semiconductor chip is  
mounted fixedly on the die pad, followed by encapsulation  
20 with the encapsulating resin.

For example, in a modification to the resin-  
encapsulated semiconductor device of the third embodiment,  
an opening 333C is formed on the tip of each terminal  
column 333 as in the modification to the first embodiment.  
25 as shown in Fig. 2. The opening is protruded externally

from the encapsulating resin 340A such that the tip having the opening serves as the terminal 333A.

[EFFECTS OF THE INVENTION]

5       The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number and is excellent in mounting efficiency. Furthermore, the resin-encapsulated  
10 semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in Fig. 11b. As a result of this, the resin-encapsulated semiconductor device does not have a problem  
15 in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a  
20 parasitic capacity, and shortened in a transfer delay time.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**